

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

11017 U.S. PRO  
09/891129  
06/26/01  


IN RE APPLICATION OF: Akira NISHIYAMA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

#2 Priority  
Paper  
10-4-01  
R. Stiles

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-193215	June 27, 2000

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak  
Registration No. 24,913  
C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本特許庁  
JAPAN PATENT OFFICE

J1017 U.S. PRO  
09/891129  
06/26/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年 6月27日

出願番号  
Application Number:

特願2000-193215

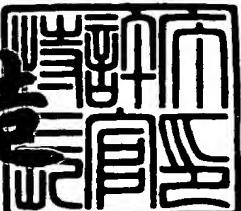
出願人  
Applicant(s):

株式会社東芝

2001年 5月11日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3039531

【書類名】 特許願

【整理番号】 A000003704

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 西山 彰

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 小山 正人

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】

半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には微結晶が形成され、該膜中の最大の微結晶粒の寸法最大値は該膜の膜厚以下であることを特徴とする半導体装置。

【請求項2】

半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中に絶縁性金属酸化物の微結晶粒が分散され、該膜中の最大の微結晶粒の寸法最大値は該膜の膜厚以下であることを特徴とする半導体装置。

【請求項3】

半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には微結晶が形成され、該膜中の前記微結晶の大きさは、ナノメートルオーダのビーム径を用いた電子線を該膜面に平行に入射した際の回折像として多結晶リングが観察される大きさであることを特徴とする半導体装置。

【請求項4】

半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には絶縁性金属酸化物の微結晶粒が分散され、該膜中の前記微結晶の大きさは、ナノメートルオーダのビーム径を用いた電子線を該膜面に平行に入射した際の回折像として多結晶リングが観察される大きさであることを特徴とする半導体装置。

【請求項5】

前記機能素子はMOSFETであり、前記絶縁膜はゲート絶縁膜であり、前記半導体基板上に前記ゲート絶縁膜を介してゲート電極が形成されていることを特徴とする請求項1～4の何れかに記載の半導体装置。

【請求項6】

前記混合膜は、チタン酸化物とシリコン酸化物との混合膜であることを特徴とする請求項1～4の何れかに記載の半導体装置。

【請求項7】

半導体基板上に、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜を結晶化の生じない温度で形成する工程と、次いで熱処理を施すことにより、前記混合膜中に微結晶の金属酸化物を析出させる工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート絶縁膜等に用いられる絶縁膜として高誘電体薄膜を用いた半導体装置に係わり、特に高誘電体薄膜中に微結晶を析出させた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

MOSトランジスタの微細化は止まるところを知らず、既に0.1μmのゲート長を目前にしている。これはとりもなおさず、微細化が素子の高速化につながり、更に低消費電力化にもつながるという縮小則が未だ成り立っているためである。また、微細化そのものが素子の占有面積の縮小をもたらし、同じチップ面積により多くの素子を搭載できることからくるLSIそのものの多機能化という側面も満足することからも、微細化の追求が成されていると理解できる。

【0003】

しかしながら、縮小則の追求は0.1μmを境に大きな壁にぶつかることが予想されている。その壁とは、ゲート絶縁膜の薄膜化が限界に来るということであ

る。

## 【0004】

従来、ゲート電極下のゲート絶縁膜としては、出来上がった膜が固定電荷を殆ど含有しない、更にはチャネル部のSiとの境界に殆ど界面準位を形成しない、という素子動作上不可欠な2つの特性を満足できることから、一般に $\text{SiO}_2$ が用いられてきた。この物質はまた、簡単に制御性良く薄い膜を形成できるという特徴も有している。しかし、 $\text{SiO}_2$ の比誘電率(3.9)の低さから0.1μm以降の世代では、トランジスタの性能を満足するために3nm以下の膜厚が要求されることになるが、一方でその膜厚でのキャリアの膜中の直接トンネリング現象によるゲートノ基板間のリーク電流増加が問題になることが予測される。このトレードオフ関係は、 $\text{SiO}_2$ をゲート絶縁膜として使用する限り本質的についてまわる問題であり、回避不可能と考えられる。

## 【0005】

そこで、 $\text{SiO}_2$ よりも比誘電率が大きい材料を用いて上記のトンネリング現象を回避しようとする動きも活発化している。その材料として $\text{Ta}_2\text{O}_5$ や $\text{TiO}_2$ 等の金属酸化膜が検討されている。これらは、比誘電率が約20, 90と高いために、 $\text{SiO}_2$ に比べ同じゲート容量を得るのに膜厚を5倍、20倍程度まで厚くすることができ、そのためにトンネリングを抑えられる有望な材料と考えられている。

## 【0006】

しかしながら、従来の如何なる方法で形成されてきた金属酸化物/Siの構造においても、トランジスタ形成のための熱処理工程(>800°C)を経て金属酸化物の多結晶が生じることにより、図9に示すような構造となってしまう。図中の90はSi基板、92は高誘電体金属薄膜としての $\text{TiO}_2$ 膜、94はゲート電極、95はグレイン境界を示している。

## 【0007】

この構造の第1の問題点は、図中の矢印で示すように、グレイン境界95を通って電流が流れやすく、ゲートノ基板間のリーク電流の上昇を招くことである。これは、グレイン中に比べその境界部においては金属-酸素間の結合が不完全で

あることによると考えられる。また、一旦完全な結合が得られている境界においても、電流を流すことによる疲労が起こりやすく (Stress Induced Leakage Current : S I L C) 、リーク電流が上昇しやすいと言われている。

## 【0008】

図9のようになることの第2の問題点は、多結晶グレインがランダムに配向することによる実効比誘電率のばらつきである。これは、微結晶化高誘電体が比誘電率  $\epsilon_r$  に異方性を持つためである。例えば、 $TiO_2$  を例に挙げると  $TiO_2$  は c 軸に平行に電極を形成した場合には  $\epsilon_r$  が 89 の値を示すが、c 軸に垂直に電極を形成すると  $\epsilon_r$  は 170 という高い値を持つ。

## 【0009】

また、通常スパッタやCVDにより  $TiO_2$  を形成し 800°C 以上の熱処理を施した場合、グレインサイズは 10~50 nm になることから、例えばゲート長  $L_g = 30 \text{ nm}$  のMOSトランジスタを形成した場合には、ランダムに配向した  $TiO_2$  のどの部分にゲート電極が形成されるかによって、図10 (a) (b) に示すように、しきい値電圧  $V_{th}$ 、電流駆動力  $I_t$  のばらつきを生じることになる。このことは、LSI中にMOSトランジスタを形成する場合に致命的な欠点となり、特性の良い回路を形成することは不可能である。

## 【0010】

## 【発明が解決しようとする課題】

このように従来、金属酸化物をゲート絶縁膜として用いたときの問題点は、次の3つに集約される。

## 【0011】

(1) グレイン境界におけるリーク電流によって、ゲート電極／基板間のリーク電流が増加すること。

## 【0012】

(2) 電流ストレスを印加した後のゲート電極／基板間電流上昇 (S I L C) が顕著であること。

## 【0013】

(3) 極微細 (< 50 nm) MOSトランジスタのしきい値、駆動力がばらつく

ことにより、LSIの設計が困難になること。

## 【0014】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、グレイン境界に起因するリーク電流を低減することができ、且つしきい値、駆動力のばらつきを抑制することができ、MOSトランジスタ等の特性向上をはかり得る半導体装置及びその製造方法を提供することにある。

## 【0015】

## 【課題を解決するための手段】

## (構成)

上記課題を解決するために本発明は次のような構成を採用している。

## 【0016】

即ち本発明は、半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には微結晶が形成され、該膜中の最大の微結晶粒の寸法最大値は該膜の膜厚以下であることを特徴とする。

## 【0017】

また本発明は、半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中に絶縁性金属酸化物の微結晶粒が分散され、該膜中の最大の微結晶粒の寸法最大値は該膜の膜厚以下であることを特徴とする。

## 【0018】

また本発明は、半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には微結晶が形成され、該膜中の前記微結晶の大きさは、ナノメートルオーダのビーム径を用いた電子線を該膜面に平行に入射した際の回折像として多結晶リングが観察される大きさであることを特徴とする。

## 【0019】

また本発明は、半導体基板上に絶縁膜を設けて機能素子を構成してなる半導体装置において、前記絶縁膜は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜であり、該膜中には絶縁性金属酸化物の微結晶粒が分散され、該膜中の前記微結晶の大きさは、ナノメートルオーダのビーム径を用いた電子線を該膜面に平行に入射した際の回折像として多結晶リングが観察される大きさであることを特徴とする。

## 【0020】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

## 【0021】

(1) 機能素子はMOSFETであり、絶縁膜はゲート絶縁膜であり、半導体基板上にゲート絶縁膜を介してゲート電極が形成されていること。さらに、ゲート絶縁膜中の微結晶粒の寸法最大値はゲート長よりも小さいこと。

## 【0022】

(2) 混合膜は、チタン酸化物とシリコン酸化物との混合膜であること。

## 【0023】

(3) 混合膜中の平均のSi構成比( $Si / (Si + Ti)$ )が15%以上であること。より望ましくは、15%以上で80%以下であること。さらに望ましくは、15%以上で60%以下であること。

## 【0024】

(3) 微結晶の粒径は10nm以下であること。より望ましくは、1nm以上で10nm以下であること。

## 【0025】

また本発明は、絶縁膜として高誘電体薄膜を用いた半導体装置の製造方法において、半導体基板上に、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜を結晶化の生じない温度で形成する工程と、次いで熱処理を施すことにより、前記混合膜中に微結晶の金属酸化物を析出させる工程とを含むことを特徴とする。

## 【0026】

・ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【0027】

(1) 微結晶形成のための熱処理を、常温よりも高い圧力雰囲気（例えば、100 kPaよりも高い圧力雰囲気）中で行うこと。これにより、微結晶の粒径を数nm以下に抑えること。

【0028】

(2) 热処理により微結晶が析出された絶縁膜の一部をエッティングして薄膜化すること。

【0029】

(3) 混合膜形成前に、下地基板（例えばSi）上に酸化防止のための薄膜を予め形成すること。

【0030】

(4) 混合膜として、チタン酸化物とシリコン酸化物との混合膜を用いること。また、チタン酸化物とシリコン酸化物の混合焼結体をターゲットとしたスパッタ法により混合膜を形成すること。さらに、混合膜中の平均のSi構成比(Si/(Si+Ti))が15%以上であること。より望ましくは、15%以上で80%以下であること。さらに望ましくは、15%以上で60%以下であること。

【0031】

(作用)

本発明は、半導体基板上に高誘電体薄膜からなる絶縁膜を形成した半導体装置であり、特に絶縁膜中に微結晶を析出させたことを特徴としている。

【0032】

本発明を、MOSトランジスタに適用すると図1のような構成となる。即ち、Si等の半導体基板10上に高誘電体薄膜から成るゲート絶縁膜11を形成し、その上にゲート電極12を形成し、更にゲート電極12の両側にソース・ドレイン領域13a, 13bを形成したものとなる。ここで、ゲート絶縁膜11は金属酸化物とシリコン酸化物、シリコン窒化物、シリコン酸化窒化物の少なくとも1種との混合膜からなり、該膜は全体がアモルファスからなるものではなく、該膜中に微結晶が析出している。ここで、微結晶とは単結晶のグレインの大きさが非

常に小さいものを総じて呼称するものであり、この微結晶の大きさは、膜厚Wと同じか或いはWよりも小さく、ゲート長Lgよりも十分小さくなっている。

## 【0033】

薄膜中の結晶が微結晶であるか否かは、次のようにして判定することができる。被測定試料に対し電子線回折（一般にビーム径は数十nm）を行うと、単結晶の場合はスポット状の回折像が得られ、多結晶の場合はリング状の回折像（多結晶リング）が得られる。ここで、電子線の径をナノメートルオーダ（1nm～10nm）、例えば5nm程度に小さくすると、多結晶の場合も回折像はスポットとなり、それよりも小さい微結晶の場合に多結晶リングが見られる。従って、5nm程度の微小ビーム径を用いた電子線回折によって、多結晶リングが見られるか否かにより微結晶であるか否かを判定することが可能である。

## 【0034】

本発明では、高誘電体薄膜から成るゲート絶縁膜中に析出させた結晶は、多結晶ではなく微結晶であり、この微結晶の大きさは膜厚Wと同じかそれよりも小さく、且つゲート長Lgよりも十分小さいため、グレイン境界が膜の表裏面に貫通することはない。或いは、グレイン境界にアモルファス材料が入り込んだ構造となる。このため、グレイン境界に基づくリーク電流を抑制することができる。また、ゲート長方向に沿って複数の微結晶が存在することになるので、しきい値や駆動力のばらつきを抑制することもできる。ここで、ゲート絶縁膜としては、少なくとも絶縁性金属酸化物の微結晶が分散されてなることが高誘電率を得る上で望ましい。

## 【0035】

また、ゲート絶縁膜としてチタン酸化物とシリコン酸化物との混合膜を用いた場合、膜中のSi含有量を増加させるほどリーク電流は少なくなり、更にSi含有量が多いほど比誘電率が上がる。本発明者らの実験によれば、Si含有量が15%以上になるとリーク電流が十分に減少し、比誘電率も50以上と高くなるのが確認された。従って、混合膜中の平均のSi構成比（Si/(Si+Ti)）は15%以上にするのが望ましい。

## 【0036】

・このように、混合膜中の平均の Si 構成比 ( $Si / (Si + Ti)$ ) は 15% 以上に設定するのが望ましく、これにより微結晶化による効果が高くなる。さらに、( $Si / (Si + Ti)$ ) は 80% 以下であることが望ましく、これにより高誘電体膜としての必要な比誘電率 ( $\epsilon_r > 10$ ) が得られる。さらに望ましくは、15% 以上 60% 以下である。これにより、より高い比誘電率を得ることができる。

## 【0037】

このように本発明によれば、ゲート絶縁膜として絶縁性金属酸化物とシリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも 1 種との混合膜から成る高誘電体薄膜を用い、該薄膜中に微結晶を析出させることにより、グレイン境界に起因するリーク電流を低減することができ、且つしきい値、駆動力のばらつきを抑制することができ、MOSトランジスタ等の特性向上をはかることが可能となる。

## 【0038】

## 【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

## 【0039】

## (第1の実施形態)

図2は、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図である。

## 【0040】

なお、図2及び後述する図6～8に示す工程は全てnチャネルMOSFETに関する実施形態であるが、実際には同一基板上にpチャネルMOSFETも存在し、それについても同様の工程を行うことを念頭に置いている。そのため、特に断らない限りSi基板はpタイプにドーピングされていることとする。勿論、本発明はSOI(Silicon On Insulator)のMOSFETにも使えるし、縦型MOS(基板に垂直方向にチャネルがあり、電子や正孔はそれに沿って基板に垂直に走行する)にも応用することができる。

## 【0041】

まず、図2 (a) に示すように、p型Si基板20上にトレンチ素子分離用のSiO<sub>2</sub>膜21を形成した後、全面にTiO<sub>2</sub> / SiO<sub>2</sub>の混合膜22を結晶化が起こらない温度（例えば室温）にて堆積する。堆積の方法は、蒸着、通常のRFスパッタ、ヘリカルコイルを用いたスパッタ法、ゾルゲル法、レーザアプレーション法、CVD法の何れを用いてもよいが、それぞれにより当然温度や形成条件は異なってくる。

#### 【0042】

本実施形態では、堆積の方法としてヘリカルコイルを用いたスパッタ法を使用した。具体的には、TiO<sub>2</sub>とSiO<sub>2</sub>を粉々に砕き、ある混合比で焼結させることによりターゲットを作製する。ここでは、例えば混合比をSi / (Ti + Si) = 20%とする。そして、ターゲットとSi基板を対面させた後、ArとO<sub>2</sub>との混合雰囲気 (Ar : 20 sccm, O<sub>2</sub> : 2 sccm) で100Wのパワーで室温で30分間スパッタを行い、20nmの混合膜22を堆積した。

#### 【0043】

次いで、Ar雰囲気中で800°C、30秒の熱処理を施すことにより、図2 (b) に示すように、混合膜22をナノクリスタル（微結晶）を含有する高誘電体絶縁膜23に転換する。

#### 【0044】

次いで、図2 (c) に示すように、ゲート電極として例えばSiGe膜24を100nmの厚さに、SiH<sub>4</sub>とGeH<sub>4</sub>の混合ガス中550°Cにおいて堆積する。続いて、フォトリソグラフィを行うことによりレジストをパターニングし、このレジストをマスクにCF<sub>4</sub> + O<sub>2</sub>の雰囲気中で酸性イオンエッチングを行うことにより、SiGe膜24をゲート電極形状に加工する。その後、AFを含有する溶液を用いることによりナノクリスタルを含有する高誘電体絶縁膜23を加工する。

#### 【0045】

次いで、図2 (d) に示すように、SiGe膜24をマスクとして用い、Asを300eVで $1 \times 10^{14} \text{ cm}^{-2}$ イオン注入する。続いて、SiN膜を全面堆積した後に全面RIEエッチバックを行うことにより、ゲート側壁SiN膜25を

厚さ10nm形成する。その後、SiGe膜24及び側壁SiN膜25をマスクに再びイオン注入(As: 10keV,  $1 \times 10^{15} \text{ cm}^{-2}$ )を行い、900°C, 30秒のRTA(短時間高温アニール)を行うことで、ソース・ドレイン領域26a, 26bを形成すると共に、ゲート電極と成るSiGe膜24にn型不純物を添加する。

#### 【0046】

次いで、図2(e)に示すように、Coの堆積/熱処理/エッチングにより、 $\text{CoSi}_2$ 膜27をソース、ドレイン、ゲート上にそれぞれ堆積する。最後に、TEOS等を用いて層間絶縁膜としての $\text{SiO}_2$ 膜28を全面堆積し、ソース・ドレイン領域上にコンタクト孔をそれぞれ形成する。そして、各々のコンタクト孔につながるようにAl/TiN/Ti或いはCu/TiN/Tiの配線層29を形成する。これ以降は、更に2層目以上の配線工程を行うことにより、LSIが完成することになる。

#### 【0047】

図3は、膜中のSi含有量を上げることにより100nmのTiSiO膜のリーク電流の変化を見たものである。Siの含有量が15%を越え、更に増加していく程にリーク電流が減少していくことが分かる。このことは、多結晶状態で前記図9のような柱状を成していたTiSiO膜が、Si含有量15%以上ではナノサイズのナノクリスタルにより構成されるためであり、本発明者らは高分解の電子顕微鏡によってこれを確認している。

#### 【0048】

また、図4は予想されるしきい値電圧のばらつきを2つの $\text{TiO}_2$ の結晶粒径について計算したものである。ゲート電極の大きさが小さくなるに従い、通常の50nmの粒径により構成された膜を用いた場合、しきい値は0.12~0.36Vと大きくばらついているのに対し、5nmまで粒径が小さくなると、0.24V±0.04Vまで集まってきていることが分かる。このことは、 $\text{TiO}_2$ の結晶軸方向による比誘電率の異方性の影響が粒の微細化により抑制されるためであることが分かる。

#### 【0049】

また、本発明者らの研究により、図5に示すように、ナノクリスタルにより構成された $TiO_2 / SiO_2$ の混合膜は、Si含有量15%以上で非常に高い比誘電率を示すことが見出された。このことは、より先の世代、例えば $Lg = 10$  nmのLSI作成においても、リーク電流（つまりLSIの消費電力）を抑えながら、ゲート／基板間の容量を上昇させることができることにおいて非常に有効である。

#### 【0050】

このように本実施形態によれば、ゲート絶縁膜23としてSi含有量20%の $TiO_2 / SiO_2$ の混合膜を用い、該膜中にナノクリスタルを析出させているので、該膜内で膜厚方向及びゲート長方向に多数のナノクリスタルを存在することになり、グレイン境界が膜の表裏面に貫通することはない。そして、グレイン境界にアモルファス材料が入り込んだ構造となっている。このため、グレイン境界に基づくリーク電流を抑制することができる。また、ゲート長方向に沿って複数のナノクリスタルが存在することになるので、50nm以下の極微細MOSトランジスタにおいても、しきい値、駆動力のばらつきを抑制することができる。さらに、電流ストレスを印加した後のSLCも抑制することが可能であった。

#### 【0051】

##### （第2の実施形態）

本実施形態は第1の実施形態の変形例であり、第1の実施形態とはナノクリスタルの形成工程が異なっている。本実施形態の工程断面図は前記図2と実質的に同じであるのであるので、省略する。

#### 【0052】

前記図2(a)に示すように、素子分離用の $SiO_2$ 膜21を形成したp型Si基板20上に $TiO_2$ と $SiO_2$ の混合膜22を結晶化が起こらない温度にて堆積するまでは、第1の実施形態と同様である。

#### 【0053】

次いで、図2(b)に示す工程において、10MPaの高圧下において600°C, 30secの熱処理を施すことにより、より低温でナノクリスタル含有の高誘電体絶縁膜23を形成した。こうすることにより、チャネル部の不純物の拡散

が抑制されると共に、高誘電体絶縁膜23中のナノクリスタルをより細かい粒子にすることが可能となる。これ以降は、第1の実施形態と同様の工程(図2(c)～(e))を行うことによりLSIを形成する。

#### 【0054】

このような工程であっても、先の第1の実施形態と同様の効果が得られる。これに加え本実施形態では、ナノクリスタル形成のための熱処理を高圧下で行うことにより、不純物の拡散を抑制してナノクリスタルの粒径をより小さくすることができます。本発明者らの実験によればこの効果は、熱処理時の圧力を100kPa以上に設定することにより認められた。

#### 【0055】

##### (第3の実施形態)

図6は、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図6中の60～69は図2中の20～29に対応している。

#### 【0056】

まず、図6(a)に示すように、素子分離用のSiO<sub>2</sub>膜61を形成したp型Si基板60上にTiO<sub>2</sub>とSiO<sub>2</sub>の混合膜62を結晶化が起こらない温度にて堆積する。ここまで第1の実施形態と同様であるが、本実施形態においては混合膜62の膜厚を100nmと厚くした。

#### 【0057】

次いで、Ar雰囲気中で800℃、30secの熱処理を施すことにより、図6(b)に示すように、混合膜62をナノクリスタルTiO<sub>2</sub>を含む高誘電体絶縁膜63に転換した。続いて、図6(c)に示すように、HFを含有する溶液、例えばHF(4.7%)1:10H<sub>2</sub>Oにより5分間処理することにより、高誘電体絶縁膜63を20nmの厚さまで薄膜化する。

#### 【0058】

次いで、図6(d)に示すように、ゲート電極として例えばSiGe膜64をCVD法により100nmの厚さに堆積し、フォトリソグラフィを行うことによりSiGe膜64をゲート電極形状に加工する。さらに、第1の実施形態と同様に、ゲート側壁SiN膜65を形成し、ソース・ドレイン領域66a, 66bを

形成する。

#### 【0059】

これ以降は、図6(e)に示すように、第1の実施形態と同様に、層間絶縁膜としての $\text{SiO}_2$ 膜68を全面堆積し、コンタクト孔を形成し、更に $\text{Al/TiN/Ti}$ 或いは $\text{Cu/TiN/Ti}$ の配線層69を形成することにより、MOSトランジスタが完成することになる。

#### 【0060】

本実施形態で述べたナノクリスタル含有の高誘電体絶縁膜63のエッチバック工程は、全面一様に行われる場合の他、一部、例えばpチャネルMOSのみ行う場合、或いは混載LSIにおいて論理LSIに相当する部分のみ行うこと、或いはメモリLSIに相当する部分のみ行うことが可能である。

#### 【0061】

図7は、同一基板上にpチャネル及びnチャネルのMOSFETが配置された素子構造を示す断面図であり、700はSi基板、701は素子分離絶縁膜、708は層間絶縁膜、709は配線層、710はpウェル、720はnウェル、713、723はゲート絶縁膜、714、724はゲート電極、716、726はソース・ドレイン領域を示しており、710～716からnチャネルMOSFETが形成され、720～726からpチャネルMOSFETが形成されている。

#### 【0062】

ナノクリスタル含有高誘電体絶縁膜のエッチバックをnチャネルのみ行う場合は、以下のような場合である。ゲート電極の仕事関数がSiのバンドギャップの真性フェルミレベル $E_i$ よりも価電子帯側にある場合、pチャネルのしきい値 $|V_{thp}|$ に比べnチャネルのしきい値 $|V_{thn}|$ が大きくなってしまうことにより、CMOSロジックのタイミングが不均衡になる。

#### 【0063】

この場合に、nチャネルMOSのnチャネル側だけゲート絶縁膜を薄膜化することによって、nチャネルの $|V_{thn}|$ を小さくし、この不均衡を緩和することができる。勿論、電極86の仕事関数が $E_i$ に対し $E_c$ に近い側にあるときはpチャネルの方のゲート絶縁膜を薄膜化することになる。また一方、スピードが要

求される論理LSIにおいてはゲート絶縁膜の薄膜化が行われ、リーク電流を最小にすることが優先されるメモリLSIにおいては厚い膜を用いることも考えられる。

## 【0064】

## (第4の実施形態)

図8は、本発明の第4の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図8中の80～89は図2中の20～29に対応している。

## 【0065】

まず、図8(a)に示すように、p型Si基板80上に素子分離用の $\text{SiO}_2$ 膜81を形成した後、MOSトランジスタのしきい値を制御するイオン注入を行い、81上以外の酸化膜を完全に除去した後、NOガスを用いた850°C, 5secの熱処理により0.7μmの酸窒化膜802を形成する。続いて、 $\text{TiO}_2$ / $\text{SiO}_2$ の混合膜82を形成するが、酸窒化膜802の存在により $\text{O}_2$ が入った雰囲気でスパッタを行ってもSi表面のこれ以上の酸化は抑制されることになる。

## 【0066】

次いで、図8(b)に示すように、Ar雰囲気中で800°C, 30secの熱処理を施すことにより、ナノクリスタル $\text{TiO}_2$ を含む高誘電体絶縁膜83を形成する。これ以降は、図8(c)(d)に示すように、ゲート電極84、側壁SiN膜85の形成、ソース・ドレイン形成のためのイオン注入、層間絶縁膜88、配線層89の形成を第1の実施形態と同様に行うことにより、LSIが完成することになる。

## 【0067】

## (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。第1～第4の実施形態は、単独で用いるのは勿論のことこれらを適宜組み合わせて用いることも可能である。

## 【0068】

実施形態では、ソース・ドレインのエクステンション(SiN側壁下の浅い接

合部)をイオン注入のみにより形成していたが、一旦  $\text{SiH}_4$  等によるソース・ドレイン上への選択CVD法により 20 nm 程度の Si を基板上に成長させてからイオン注入を行うことにより、加速エネルギーを例えば 10 keV まで上昇させることができ、イオン注入の効率を向上させることが可能である。また、ゲート電極としての SiGe 膜 24 上にもサリサイド工程により CoSi 膜 27 が形成されているが、予め  $\text{WSi}_2$  等を SiGe 膜 27 の堆積直後に全面堆積し、加工することによって、初めからゲートの低抵抗化を行っておくことも可能である。また、 TiSiO 膜の堆積は 1 回で行っているが、混合比を変えた膜を数回に分けて堆積することも勿論可能である。

#### 【0069】

ゲート電極として SiGe を用いることを述べたが、勿論多結晶シリコンを用いてもよいし、あるゆる金属或いは金属シリコンサイドゲート材料との組合せも可能である。

#### 【0070】

絶縁膜を構成する混合物の一方としての金属酸化物として  $\text{TiO}_2$  について述べたが、これに限定されるものではなく、  $\text{TaO}_5$  ,  $\text{Y}_2\text{O}_3$  ,  $\text{Al}_2\text{O}_3$  ,  $\text{ZrO}_2$  ,  $\text{La}_2\text{O}_3$  ,  $\text{HfO}_3$  ,  $\text{Nb}_2\text{O}_5$  , 等を用いることが可能である。勿論これら材料によりナノクリスタルの形成温度は異なる。ここで、下地として重要なことは必ず結晶性を持たないか、或いはその金属酸化物と格子ミスマッチが大きい材料により構成される表面を用いることである。そうでない場合、下地から優先的に結晶成長が起り、ナノクリスタル化は達成されない。勿論、 Si (100) そのものがそれら金属酸化物と大きな格子ミスマッチを持つ場合には、その心配はなく直接形成することが可能である。

#### 【0071】

また、もう一方の混合物である  $\text{SiO}_2$  もこれに限定されるものではなく、 SiON 或いは SiN 等を用いることが可能である。但し、 TiN のように導電性物質が出来てしまう組合せにおいては SiON は可能だが SiN との組合せがあり得ないことは当然である。

#### 【0072】

配線材料については2つの候補を記したが、これに限定されることはなく、低抵抗の材料、例えばAgを用いることも可能である。それらの下地層として、TiSiNやWSiN、TaSiN等を用いることも含まれる。勿論、コンタクト孔をWやNiSiやAlやCuにより埋め込むことも可能である。

#### 【0073】

また、実施形態ではMOSトランジスタについて説明したが、本発明は高誘電体絶縁膜を用いる各種の半導体装置に適用することが可能であり、例えばMOSキャパシタに適用することもできる。さらに、第1の実施形態でも説明したように、本発明はSOIのMOSFETにも適用できるし、縦型MOSにも応用することができる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0074】

##### 【発明の効果】

以上詳述したように本発明によれば、ゲート絶縁膜として、シリコン酸化物、シリコン窒化物、シリコン酸窒化物の少なくとも1種と絶縁性金属酸化物との混合膜からなり、該膜中に微結晶（結晶粒の寸法最大値が膜厚よりも小さく、且つゲート長よりも小さい）を形成した高誘電体絶縁膜を用いることにより、（発明が解決しようとする課題）の項で述べた3つの問題を回避することができる。従って、グレイン境界に起因するリーク電流を低減することができ、且しきい値、駆動力のばらつきを抑制することができ、MOSトランジスタ等の特性向上をはかることが可能となり、その有用性は大である。

##### 【図面の簡単な説明】

###### 【図1】

本発明に係わる半導体装置の基本構造を示す断面図。

###### 【図2】

第1の実施形態に係わる半導体装置の製造工程を示す断面図。

###### 【図3】

ゲート絶縁膜中のSi含有量の上昇に伴うリーク電流の抑制を示す図。

###### 【図4】

・予想されるしきい値ばらつきと本発明の適用によるその抑制を示す図。

【図5】

ゲート絶縁膜中のSi含有量と比誘電率との関係を示す特性図。

【図6】

第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】

第3の実施形態の変形例を示す素子構造断面図。

【図8】

第4の実施形態に係わる半導体装置の製造工程を示す断面図。

【図9】

従来の問題点を説明するための断面図。

【図10】

従来の問題点を説明するための特性図。

【符号の説明】

10, 20, 60, 80…p型Si基板(半導体基板)

21, 61, 81…SiO<sub>2</sub>膜(素子分離用絶縁膜)

22, 62, 82…TiO<sub>2</sub>／SiO<sub>2</sub>の混合膜

11, 23, 63, 83…微結晶を含有する薄膜(高誘電体絶縁膜)

12, 24, 64, 84…SiGe膜(ゲート電極)

25, 65, 85…SiN膜(側壁絶縁膜)

13, 26, 66, 86…ソース・ドレイン領域

27, 87…CoSi<sub>2</sub>膜

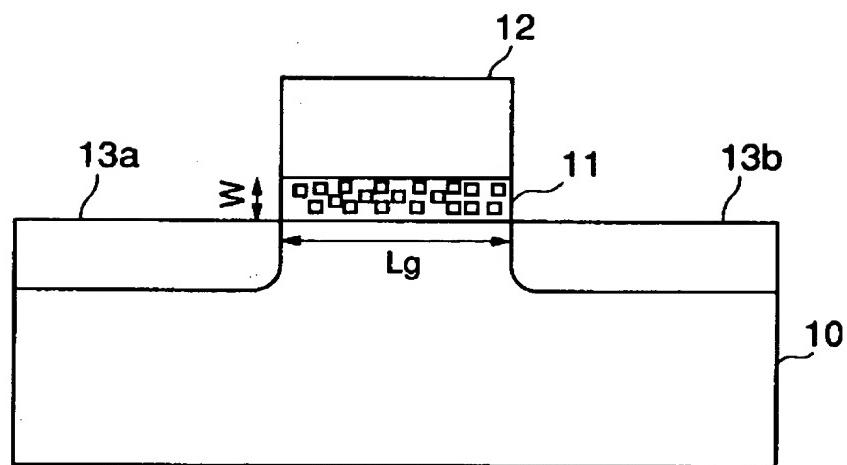
28, 68, 88…SiO<sub>2</sub>膜(層間絶縁膜)

29, 69, 89…Al/TiN/Ti層(配線層)

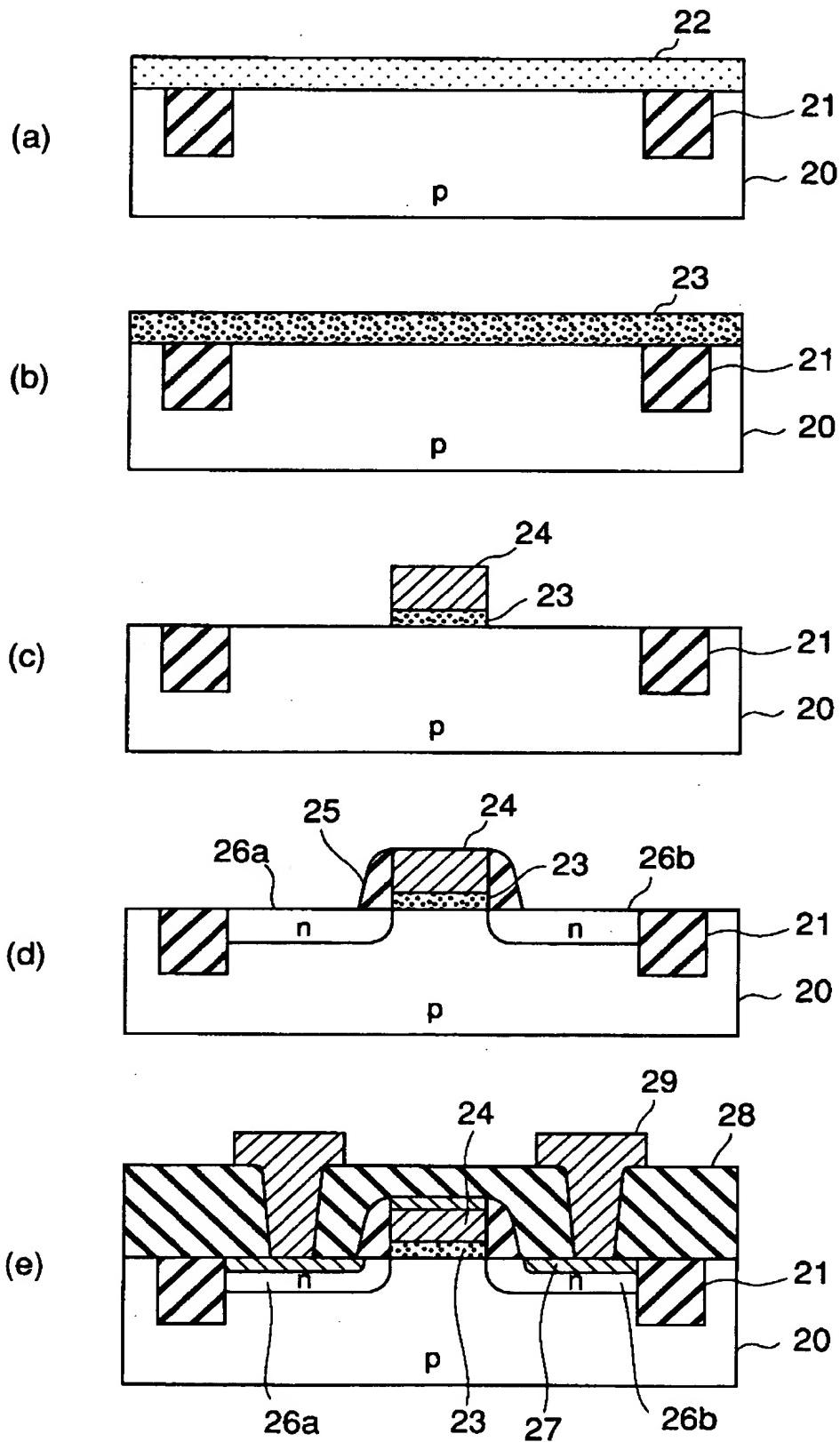
802…酸窒化膜

【書類名】 図面

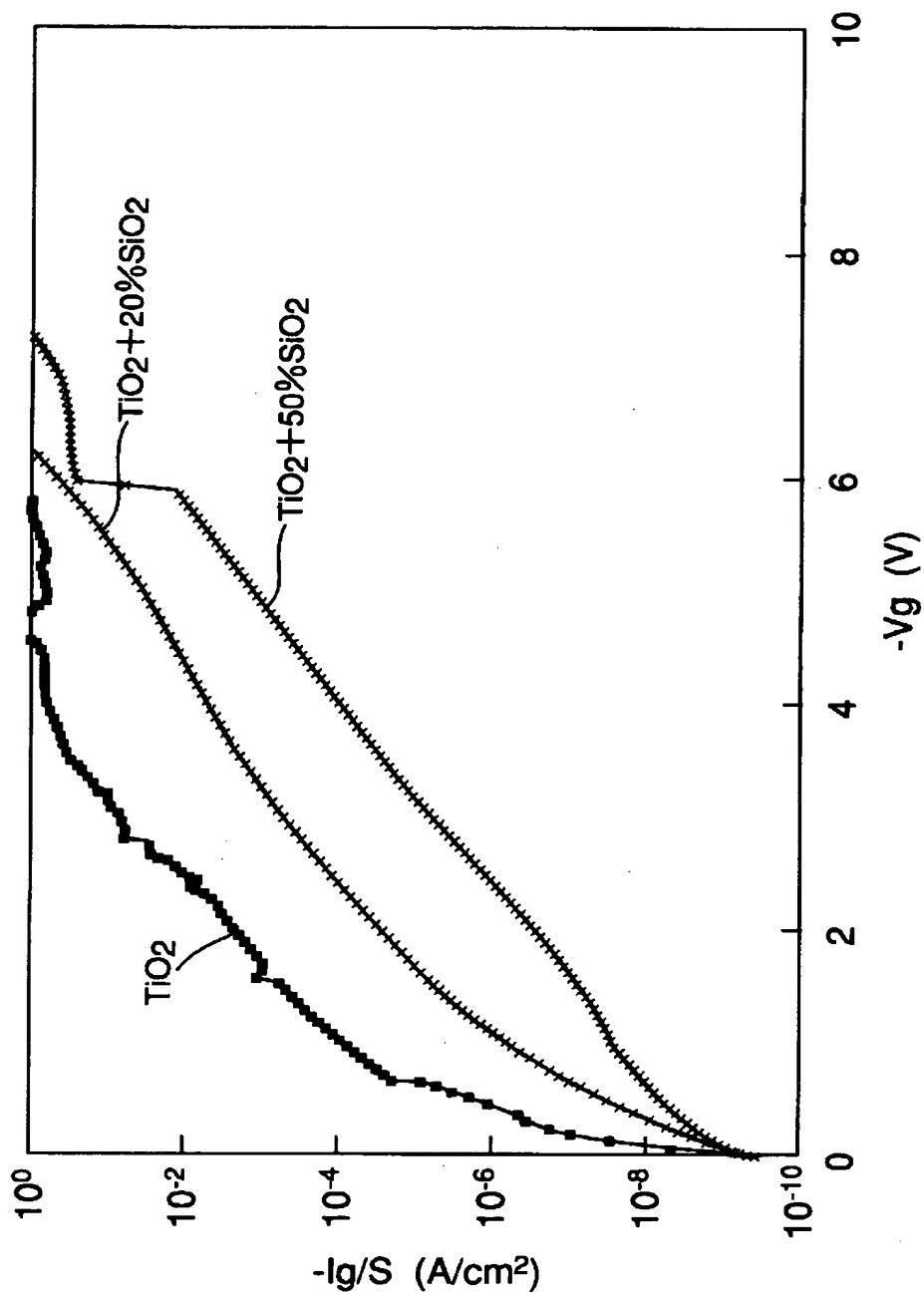
【図1】



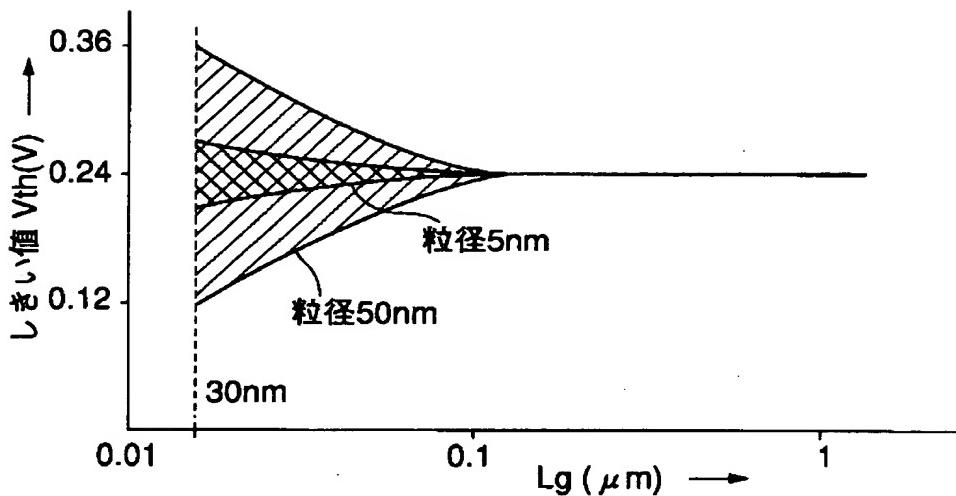
【図2】



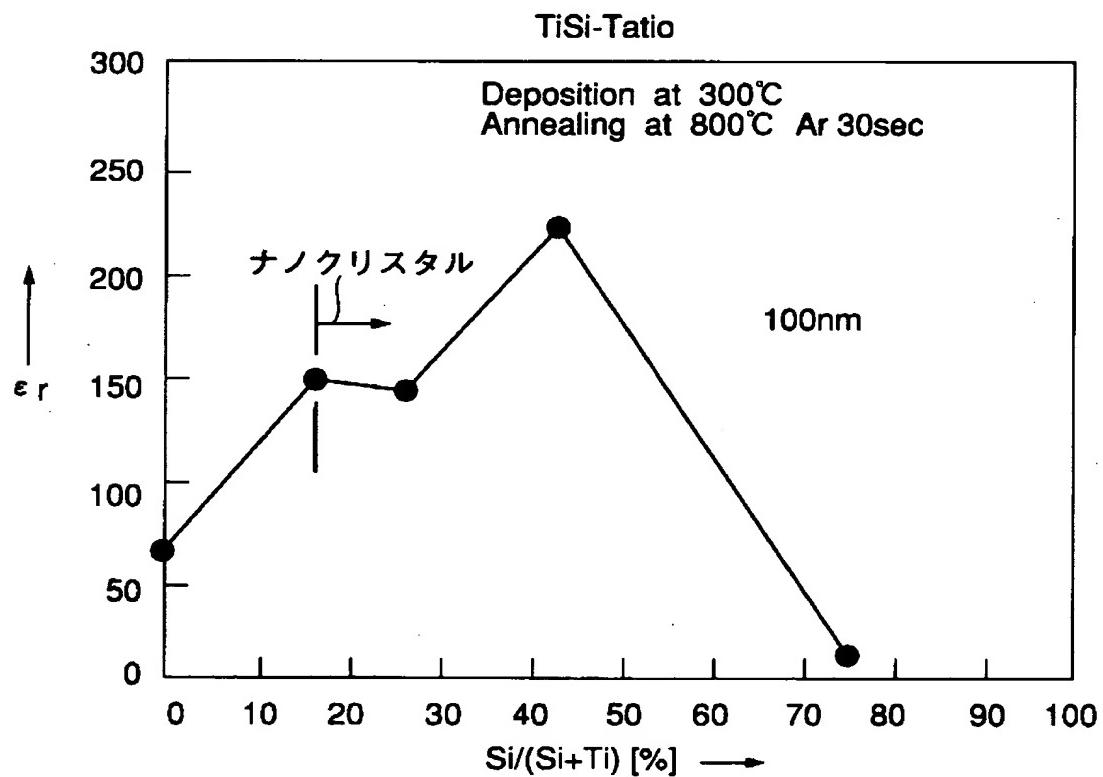
【図3】



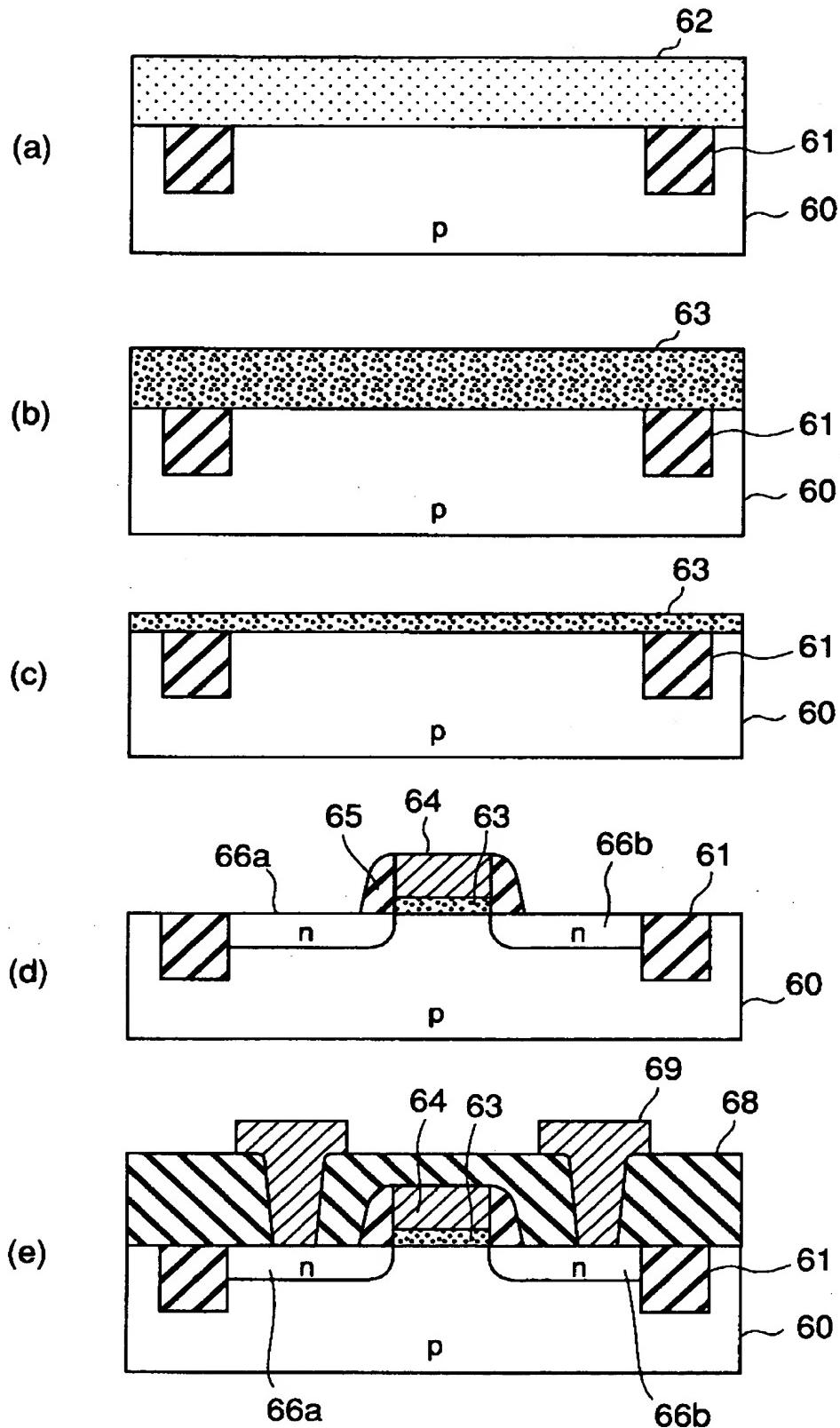
【図4】



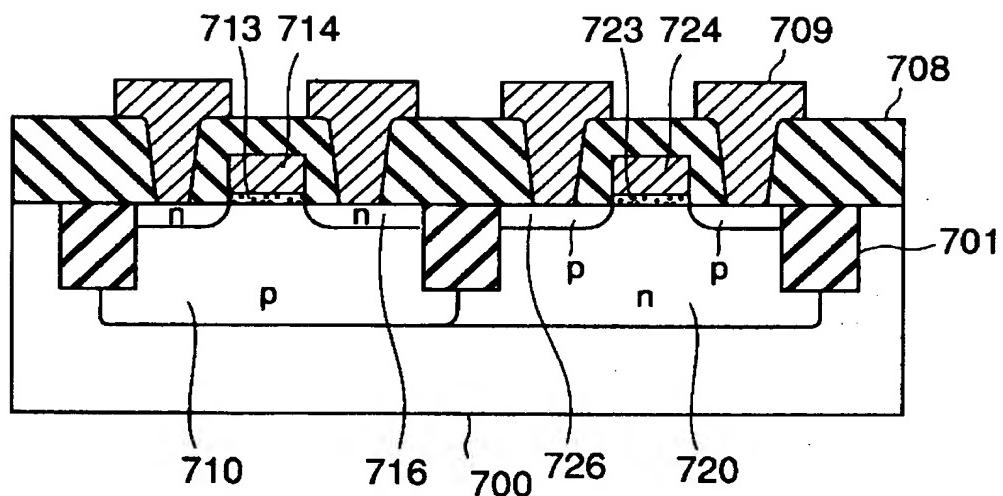
【図5】



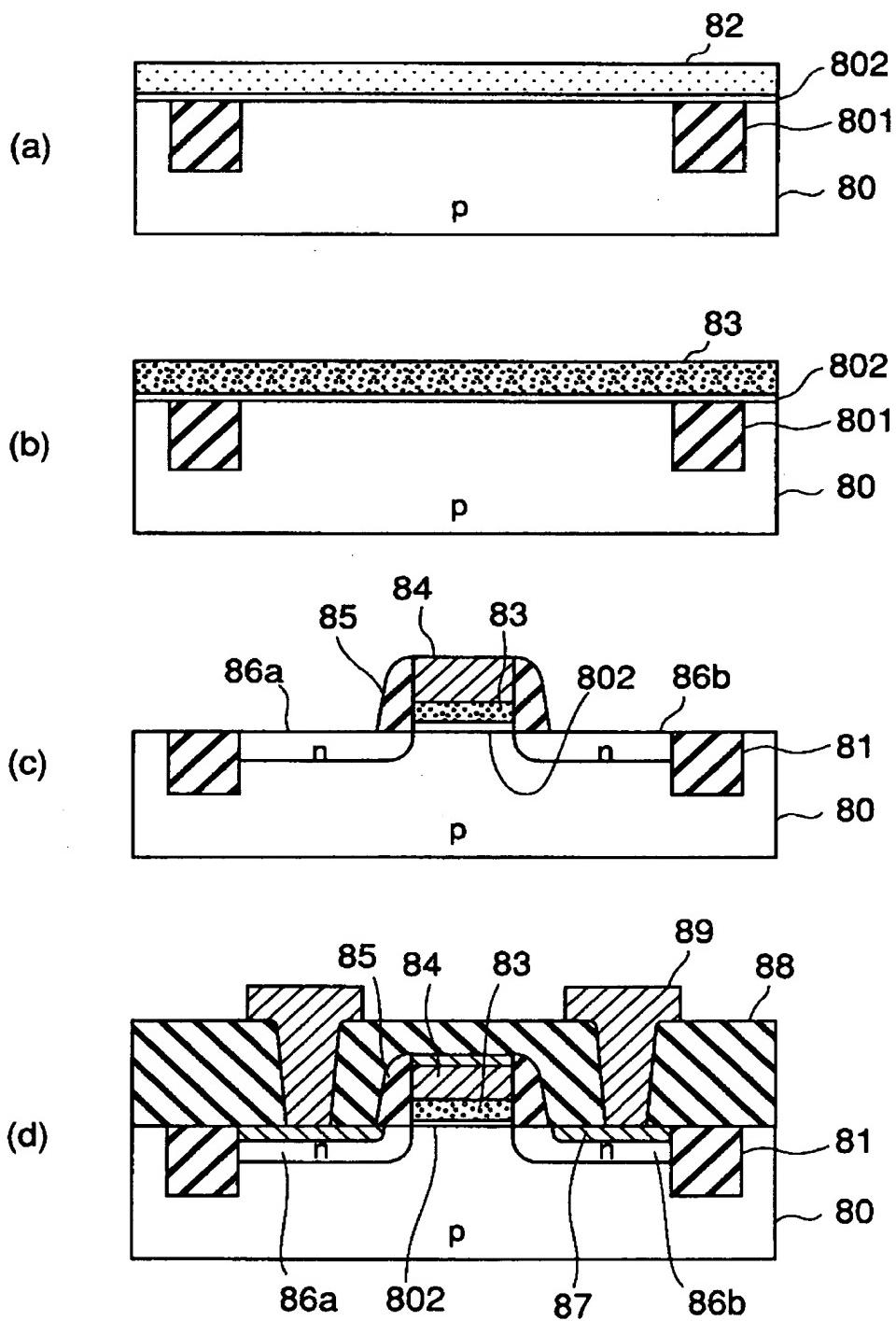
【図6】



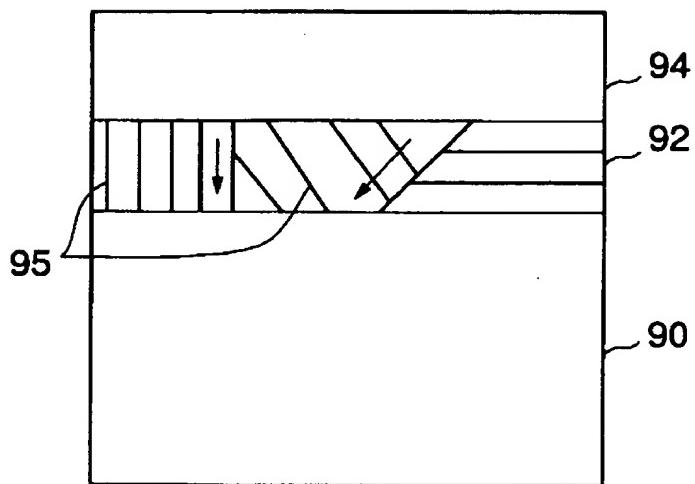
【図7】



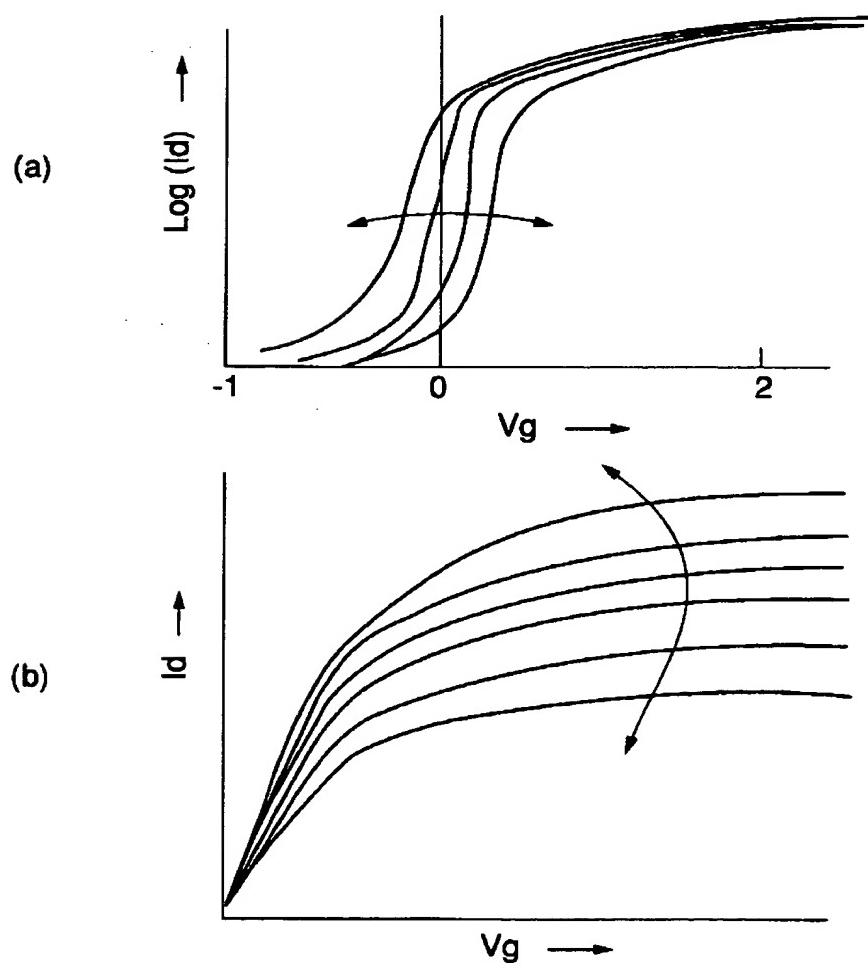
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 グレイン境界に起因するリーク電流を低減することができ、且つしきい値、駆動力のばらつきを抑制することができ、MOSFETの特性向上をはかる。

【解決手段】 Si基板20上にゲート絶縁膜23を介してゲート電極24を形成したMOSFETにおいて、ゲート絶縁膜23は、TiO<sub>2</sub>とSiO<sub>2</sub>との混合膜(Si/(Ti+Si)=20%)からなり、該膜中に微結晶を形成した高誘電体絶縁膜であり、該膜中の微結晶粒の寸法最大値が膜厚よりも十分小さく、且つゲート長よりも十分小さいこと。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝